

09/856823

PCT/JP00/00801

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

03.10.00

JP00/6851

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

with this Office.

出願年月日
Date of Application:

1999年10月 4日

REC'D 17 NOV 2000

出願番号
Application Number:

平成11年特許願第282668号

W/20

PCT

出願人
Applicant (s):

松下電子工業株式会社

4

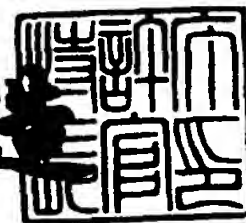
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年11月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3089957

【書類名】 特許願

【整理番号】 2926410080

【提出日】 平成11年10月 4日

【おてあし】 特許庁長官 殿

【国際特許分類】

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 橋本 伸

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 岸田 剛信

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 江頭 恭子

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 畑 良文

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 西脇 徹

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

特平 11-282668

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【手数料の表示】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601027

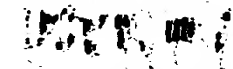
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体層における表面近傍の領域に非金属元素を分布させる工



前記半導体層の上に金属膜を堆積する工程と、

前記金属膜に熱処理を施して前記半導体層を構成する元素と前記金属膜を構成する金属とを反応させることにより、前記半導体層の表面部にエピタキシャル半導体金属間化合物層を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 2】 前記非金属元素を分布させる工程は、

前記半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、

前記化合物層に粒子エネルギー線を照射して前記化合物層に含まれる前記非金属元素を反跳により前記半導体層の表面近傍の領域に分布させる工程と、

前記化合物層を除去する工程とを含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記非金属元素を分布させる工程は、

前記半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、

前記化合物層に粒子エネルギー線を照射することにより、前記化合物層に含まれる前記非金属元素を反跳により前記半導体層の表面近傍の領域に分布させると共に前記化合物層を除去する工程とを含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記半導体層は面心立方型の結晶構造を有しており、

前記半導体金属間化合物層は面心立方型の結晶構造を有しており、

前記化合物層は非晶質であることを特徴とする請求項 2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】 前記粒子エネルギー線は非金属元素からなることを特徴とする

請求項 2 又は 3 に記載の半導体装置の製造方法。

【請求項 6】 前記半導体層は面心立方型の結晶構造を有しており、

前記半導体金属間化合物層は面心立方型の結晶構造を有していることを特徴とする請求項 1 に記載の半導体装置の製造方法。

しており、

前記半導体金属化合物層は弗化カルシウム型の結晶構造を有していることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 8】 前記半導体層はシリコンの結晶からなり、

前記非金属元素は酸素であり、

前記金属膜を構成する金属はコバルトであり、

前記エピタキシャル半導体金属間化合物層はエピタキシャルコバルトシリサイド層であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 9】 前記半導体層はシリコンの結晶からなるシリコン基板におけるソース又はドレインとなる領域にそれぞれ形成されており、

前記シリコン基板上にはポリシリコンからなるゲート電極が形成されており、

前記エピタキシャル半導体金属間化合物層を形成する工程は、前記半導体層及びゲート電極を構成するシリコンと前記金属膜を構成する金属とを反応させることにより、前記半導体層の表面部にシリサイドエピタキシャル層を自己整合的に形成すると共に前記ゲート電極の表面部にシリサイド層を自己整合的に形成する工程を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体層の表面部に半導体金属間の化合物層、特に高い結晶配向性を持つエピタキシャル半導体金属間化合物層を形成する方法に関する。

【0002】

【従来の技術】

高速動作を必要とする半導体集積回路装置においては、近年の半導体素子の微

細化に伴って、不純物が拡散されてなる半導体層のシート抵抗及びコンタクト抵抗の増加が問題になってきている。

【0003】

この問題を解決する方法の1つとして、半導体層の表面部にシリサイド層を形成する。シリサイド層が形成されるため、シリサイド層を形成するための金属としては種々のものが提案されているが、コバルトを用いて形成するコバルトタインシド (CoSi_2) 層は、熱的安定性及び抵抗率の両面から優れているので特に注目されている。

【0004】

ところが、シリコン基板の表面部をコバルトを用いてシリサイド化する場合、コバルト原子とシリコン原子との反応プロセスにおいて、コバルトシリサイド層が凝集したり又はコバルトシリサイド層にスパイク欠陥が発生したりする (IEDM 1995-449 K. Goto)。コバルトシリサイド層が凝集すると断線が発生するという問題があり、またスパイク欠陥が発生すると接合リークが起きるという問題がある。

【0005】

そこで、コバルトシリサイド層の凝集及びスパイク欠陥の発生を防止するため、論文 (Appl. Phys. Lett. 68, 1996, June) において、以下に説明するように、エピタキシャル成長によりコバルトシリサイド層を形成する方法が提案されている。すなわち、シリコンの結晶からなる半導体層の上に $0.5 \sim 1.5 \text{ nm}$ の厚さを持つ SiO_x ($x < 2$) 膜を形成した後、該 SiO_x 膜の上に超高真空下でコバルト膜を数 nm 程度の厚さに堆積し、その後、熱処理を行なうことにより、コバルト原子とシリコン原子とを反応させてエピタキシャルコバルトシリサイド層を形成する技術 (Oxide Mediated Epitaxy; OME 技術) が提案されている。また、この技術によると、 SiO_x 膜がエピタキシャルコバルトシリサイド層の成長を促進する役割を果たすと説明されている。

【0006】

【発明が解決しようとする課題】

しかしながら、エピタキシャルコバルトシリサイド層を形成する前述の方法は、コバルト膜の堆積に超高真空装置が必要になり、該超高真空装置は通常のシリコンからなる半導体のプロセスでは用いられないので、量産のプロセスには適しないという問題がある。



また、前述の方法は、半導体層の上に、極めて薄い膜厚を持つと共に化学量論的組成よりもシリコンが過剰である SiO_x ($x < 2$) 膜を介してコバルト膜を形成しているため、 SiO_x 膜の膜質及び膜厚のばらつきに起因して種々の問題が発生する。すなわち、 SiO_x 膜にピンホールがあった場合、該ピンホールを介してコバルトとシリコンとが爆発的に反応してしまうので、エピタキシャルコバルトシリサイド層が形成できないという問題、及び SiO_x 膜の膜厚にばらつきがあった場合、膜厚の薄い部位においてコバルト原子とシリコン原子との反応が一気に進んでしまうので、エピタキシャルコバルトシリサイド層を良好に形成できないという問題がある。

【0008】

前記に鑑み、本発明は、凝集及びスパイク欠陥のないエピタキシャル半導体金属間化合物層例えばエピタキシャルコバルトシリサイド層を、半導体の量産プロセスにおいて通常用いられている、真空度領域において又は製造装置を用いて、安定して形成できるようにすることを目的とする。

【0009】

【課題を解決するための手段】

前記の目的を達成するため、本願発明者らは、エピタキシャルコバルトシリサイド層において凝集及びスパイク欠陥が発生する原因について検討を行なった結果、以下に説明するような知見を得た。すなわち、コバルト原子とシリコン原子とが反応してコバルトシリサイドが形成されるメカニズムは、熱力学的に考えると、 $\text{Co}_2\text{Si} \rightarrow \text{CoSi} \rightarrow \text{CoSi}_2$ の反応が進むことによる。ところが、 $\text{Co}_2\text{Si} \rightarrow \text{CoSi} \rightarrow \text{CoSi}_2$ の反応パスにおいては、界面エネルギーが不安定で且つ不均一であるため、コバルトシリサイドが多結晶化し、これによって、凝集及びスパイク欠陥が発生するのである。

【0010】

従って、シリコンを含む半導体層とコバルト膜との界面に CoSi_2 からなるシード層を形成しておいてからエピタキシャル成長させると、 $\text{Co}_2\text{Si} \rightarrow \text{CoSi} \rightarrow \text{CoSi}_2$ の反応パスを経ることなく CoSi_2 を形成することができる。



【0011】

そこで、シリコンを含む半導体層とコバルト膜との界面に CoSi_2 からなるシード層を形成する方法について種々の検討を行なった結果、半導体層とコバルト膜との間に存在する酸素原子の濃度を制御すると、 CoSi_2 からなるシード層を形成することができることを見出した。具体的には、表面近傍の領域に酸素原子が分布している半導体層の上にコバルト膜を堆積すると、半導体層とコバルト膜との間に介在する酸素原子の量は、半導体層とコバルト膜との間に SiO_x 膜を介在させる場合に比べて低減するので、半導体層とコバルト膜との間に CoSi_2 からなるシード層を形成できることを見出した。

【0012】

本発明は、前記の知見に基づいてなされたものであって、具体的には、本発明に係る半導体装置の製造方法は、半導体層における表面近傍の領域に非金属元素を分布させる工程と、半導体層の上に金属膜を堆積する工程と、金属膜に熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させることにより、半導体層の表面部にエピタキシャル半導体金属間化合物層を形成する工程とを備えている。

【0013】

本発明の半導体装置の製造方法によると、半導体層における表面近傍の領域に非金属元素を分布させておいてから半導体層の上に金属膜を堆積し、その後、金属膜に熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させるため、金属膜を構成する金属と半導体層を構成する元素とが一気に反応する事態を回避できるので、エピタキシャル半導体金属間化合物層の多結晶化を防止することができる。このため、本発明によると、凝集及びスパイク欠陥のないエピタキシャル半導体金属間化合物層を、半導体の量産プロセスにおいて通常用

いられている真空度領域で且つ低温において安定して形成することができる。

【0014】

本発明の半導体装置の製造方法において、非金属元素を分布させる工程は、半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、より半導体層の表面近傍の領域に分布させる工程と、化合物層を除去する工程とを含むことが好ましい。

【0015】

このようにすると、粒子エネルギー線の照射による反跳によって、化合物層に含まれる非金属元素を半導体層の表面近傍の領域に確実に分布させることができる。

【0016】

また、本発明の半導体装置の製造方法において、非金属元素を分布させる工程は、半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、化合物層に粒子エネルギー線を照射することにより、化合物層に含まれる非金属元素を反跳により半導体層の表面近傍の領域に分布させると共に化合物層を除去する工程とを含むことが好ましい。

【0017】

このようにすると、粒子エネルギー線の照射による反跳によって、化合物層に含まれる非金属元素を半導体層の表面近傍の領域に確実に分布させることができると共に、化合物層を除去する工程が不要になる。

【0018】

これらの場合、面心立方型の結晶構造を有する半導体層、面心立方型の結晶構造を有する半導体金属間化合物層及び非晶質の化合物層を用いることができる。

【0019】

また、これらの場合、粒子エネルギー線は非金属元素からなることが好ましい。このようにすると、粒子エネルギー線を構成する元素が半導体層に悪影響を与える事態を防止できる。

【0020】

本発明の半導体装置の製造方法において、面心立方型の結晶構造を有する半導体層及び面心立方型の結晶構造を有する半導体金属間化合物層を用いることができる。

【 0 0 2 1 】

本発明の半導体装置の製造方法において、ダイヤモンド型又は閃亜鉛鉱型の結晶構造を有する半導体層及び硫化スルシム型の半導体金属化合物層を用いることができる。

【 0 0 2 2 】

本発明の半導体装置の製造方法において、半導体層はシリコンの結晶からなり、非金属元素は酸素であり、金属膜を構成する金属はコバルトであり、エピタキシャル半導体金属間化合物層はエピタキシャルコバルトシリサイド層であることが好ましい。

【 0 0 2 3 】

このようにすると、半導体層の表面部に、熱的に安定で且つシート抵抗の低いエピタキシャルコバルトシリサイド層を確実に形成することができる。

【 0 0 2 4 】

本発明の半導体装置の製造方法において、半導体層はシリコンの結晶からなるシリコン基板におけるソース又はドレインとなる領域にそれぞれ形成されており、シリコン基板にはポリシリコンからなるゲート電極が形成されており、エピタキシャル半導体金属間化合物層を形成する工程は、半導体層及びゲート電極を構成するシリコンと金属膜を構成する金属とを反応させることにより、半導体層の表面部にシリサイドエピタキシャル層を自己整合的に形成すると共にゲート電極の表面部にシリサイド層を自己整合的に形成する工程を含むことが好ましい。

【 0 0 2 5 】

このようにすると、ソース又はドレインとなる半導体層の表面部に、熱的に安定で且つシート抵抗及びコンタクト抵抗が低いエピタキシャルコバルトシリサイド層を形成することができると共に、ゲート電極の表面部に良質なシリサイド層を形成することができるので、該MOSFETを有する半導体集積回路装置の性能の向上を工程数の増加を招くことなく達成することができる。

【 0 0 2 6 】

【 発 明 の 実 施 の 形 態 】

(第 1 の 実 施 形 態)

以下、本発明の第 1 の実施形態に係る半導体装置について、図 1 (a) 及び (b) を参照して説明する。

【 0 0 2 7 】

図 1 (a) は第 1 の実施形態に係る半導体装置の平面構造を示し、図 1 (b) は図 1 (a) における I b - I b 線の断面構造を示している。

【 0 0 2 8 】

第 1 の実施形態に係る半導体装置は、CMOS、pMOS又はnMOSのいずれのタイプのトランジスタでもよいが、ここでは、n型MOSトランジスタについて説明する。

【 0 0 2 9 】

図 1 (a) 及び (b) に示すように、n型のシリコン結晶からなり数 $\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板 1 0 の表面部には、n型のチャネルストッパー 1 1 が形成されていると共に該チャネルストッパー 1 1 の上には素子分離領域となるフィールド絶縁膜 1 3 が形成されており、半導体基板 1 0 におけるチャネルストッパー 1 1 に囲まれた領域にはp型ウェル領域 1 2 が形成されている。

【 0 0 3 0 】

p型ウェル領域 1 2 の内部におけるソース又はドレインとなる領域には、LD構造を構成するn型の低濃度不純物拡散層 1 6 及びn型の高濃度不純物拡散層 1 8 が形成されている。また、半導体基板 1 0 上におけるソース領域とドレイン領域との間にはシリコン酸化膜からなるゲート絶縁膜 1 4 を介して多結晶シリコン膜からなるゲート電極 1 5 が設けられており、該ゲート電極 1 5 の側面はシリコン酸化膜からなるサイドウォール 1 7 が形成されている。

【 0 0 3 1 】

第 1 の実施形態の特徴として、n型の高濃度不純物拡散層 1 8 の表面部にはコバルトダイシリサイド (CoSi_2) のエピタキシャル成長層が形成されていると共に、ゲート電極 1 5 の表面部には、多結晶シリコンの個々の結晶粒に対して

はエピタキシャルな関係を有する多結晶コバルトダイシリサイド層が、n型の高濃度不純物拡散層 18 の上にエピタキシャル成長層が形成されるのと同じ条件で同時に形成されている。n型の高濃度不純物拡散層 18 及びゲート電極 15 の各表面部に成長したシリサイド層の膜厚は例えば 30 ～ 50 nm 程度である。このため、n型の高濃度不純物拡散層 18 及びゲート電極 15 の抵抗値が十分に低減しているため、第 1 の実施形態に係る MOSFET を有する半導体集積回路装置の性能が向上している。

【0032】

半導体基板 10 の上には層間絶縁膜 22 が堆積されており、該層間絶縁膜 22 の上には例えばアルミニウム合金膜からなる金属配線 24 が形成されており、該金属配線 24 は保護絶縁膜 25 に覆われている。金属配線 24 は層間絶縁膜 22 に形成されたコンタクトホール 23 を介して、n型の高濃度不純物拡散層 18 の表面部に形成されているエピタキシャルシリサイド層 21 に接続されている。このため、n型の高濃度不純物拡散層 18 と金属配線 24 とのコンタクト抵抗が十分に低減している。

【0033】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態として、第 1 の実施形態に係る半導体装置の製造方法について、図 2 (a) ～ (c)、図 3 (a) ～ (c) 及び図 4 (a)、(b) を参照しながら説明する。

【0034】

まず、図 2 (a) に示す n 型のシリコン結晶からなる半導体基板 100 の表面に薄い膜厚のシリコン酸化膜を形成した後、該シリコン酸化膜の上にシリコン窒化膜を堆積し、その後、周知のフォトリソグラフィ技術及びエッチング技術を用いてシリコン窒化膜に対してパターニングを行なって、シリコン窒化膜におけるフィールド絶縁膜形成領域を除去する。

【0035】

次に、半導体基板 100 にパターン化されたシリコン窒化膜をマスクにして、リン又はヒ素等の n 型不純物を高濃度にイオン注入してチャネルストッパー 10

1を形成した後、半導体基板100にボロン等のp型不純物をイオン注入してp型ウェル領域102を形成する。その後、半導体基板100に対して熱処理を行なって半導体基板100の表面部におけるシリコン窒化膜に覆われていない領域を酸化するLOCOS法を行なって、半導体基板100の表面部に例えば400Åのシリコン酸化膜を形成する。その後、チャンネルストッパ101及びp型ウェル領域102は活性化される。その後、シリコン酸化膜及びシリコン窒化膜を除去する。

【0036】

次に、例えば熱酸化法により半導体基板100の表面に全面に亘って例えば5～10nmの膜厚を有するシリコン酸化膜からなるゲート絶縁膜104を形成した後、例えばCVD法によりゲート絶縁膜104の上に多結晶シリコン膜を堆積した後、周知のフォトリソグラフィ技術及びエッチング技術を用いて多結晶シリコン膜をパターニングしてゲート電極105を形成する。

【0037】

次に、半導体基板100にゲート電極105をマスクとしてヒ素又はリン等のn型不純物を低濃度にイオン注入して、図2(b)に示すように、n型の低濃度不純物層106を形成する。

【0038】

次に、半導体基板100の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して異方性エッチングを行なって、図2(c)に示すように、ゲート電極105の側面にサイドウォール107を形成する。その後、半導体基板100にゲート電極105及びサイドウォール107をマスクとしてヒ素又はリン等のn型不純物を高濃度にイオン注入して、n型の高濃度不純物層108を形成した後、半導体基板100に対して熱処理を施して、n型の低濃度不純物層106及び高濃度不純物層108を活性化する。

【0039】

尚、サイドウォール107は、シリコン酸化膜に代えて、シリコン窒化膜を用いてもよい。また、活性化のための熱処理は、後述する第1回目及び第2回目の熱処理工程において行なってもよい。

【0040】

次に、図3(a)に示すように、半導体基板100に、非金属元素イオン例えば酸素イオンを例えば100～500 eVの低い加速エネルギーでイオン注入して、図3(b)に示すように、n型の高濃度不純物層108の表面近傍の領域及びゲート電極105の表面近傍の領域に非金属元素例えば酸素原子109を基板面方向に分布させる。尚、イオン注入に代えて、プラズマドーピングにより酸素原子109を分布させてもよい。

【0041】

また、酸素原子109を分布させる深さとしては、n型の高濃度不純物層108又はゲート電極105の表面から0.5～5 nmの範囲が好ましく、酸素原子109の濃度としては、 $5 \times 10^{14} \text{ cm}^{-2} \sim 3 \times 10^{16} \text{ cm}^{-2}$ の範囲が好ましい。これらの理由については後述する。

【0042】

次に、図3(c)に示すように、例えばスパッタ法により半導体基板100の上に全面に亘って金属膜例えばコバルト膜110を堆積する。このようにすると、コバルト膜110とn型の高濃度不純物層108又はゲート電極105との間には酸素原子109が分布しているが、酸素原子109はn型の高濃度不純物層108又はゲート電極105の表面から0.5～5 nmの深さの範囲に分布している。このため、コバルト膜110を構成するコバルト原子の半導体基板100中への拡散は酸素原子109の分布によって抑制される共に、コバルト膜110を構成するコバルト原子からは、酸素原子109の下側に存在するシリコンの結晶格子が見えるため、酸素原子109が分布している層の上側の領域はイオン注入又はプラズマドーピングなどによって乱れているとしても、コバルト原子は半導体基板100における酸素原子109の下側の領域の結晶構造の影響を受けながら反応するので、n型の高濃度不純物層108とコバルト膜110との界面に、シリコンの結晶と格子定数が近いコバルトダイシリサイド(CoSi_2)の核(図示は省略している。)が形成される。また、ゲート電極105は多結晶シリコンからなるが、個々の結晶粒に対してはn型の高濃度不純物層108におけるコバルト原子とシリコン原子との反応と同様にコバルトダイシリサイド(CoSi

i_2) の核が形成される。

【0043】

次に、半導体基板 100 を 500℃ の温度下で 10 秒間保持する第 1 回目の熱処理 (RTA: Rapid Thermal Anneal) を行なう。このようにすると、コバルト領域に拡散していくと共にコバルト原子がシリコン原子と反応するため、図 3 (c) に示すように、n 型の高濃度不純物層 108 及びゲート電極 105 の表面部に、既に形成されているコバルトダイシリサイドの核の結晶構造と対応するコバルトダイシリサイド (CoSi_2) のエピタキシャル成長層 (以下、第 1 のエピタキシャルシリサイド層と称する。) 111A が形成される。

【0044】

尚、コバルト膜 110 の膜厚が 5 nm の場合には第 1 のエピタキシャルシリサイド層 111A の膜厚は 17~18 nm 程度であり、コバルト膜 110 の膜厚が 10 nm の場合には第 1 のエピタキシャルシリサイド層 111A の膜厚は 34~36 nm 程度である。

【0045】

また、半導体基板 100 の結晶構造が面心立方型であるときには、第 1 のエピタキシャルシリサイド層 111A の結晶構造も面心立方型となり、半導体基板 100 の結晶構造がダイヤモンド型又は閃亜鉛鉱型であるときには、第 1 のエピタキシャルシリサイド層 111A の結晶構造は弗化カルシウム型 (螢石) となる。

【0046】

前述のように、n 型の高濃度不純物層 108 及びゲート電極 105 の表面近傍の領域には酸素原子 109 が表面から 0.5~5 nm の深さに分布しており、コバルト膜 110 を構成するコバルト原子と n 型の高濃度不純物層 108 又はゲート電極 105 を構成するシリコン原子とが直接に接していないため、コバルト原子とシリコン原子とは一気に反応しないので、第 1 のエピタキシャルシリサイド層 111A が凝集したり又は多結晶化したりする事態を防止できる。

【0047】

また、酸素原子 109 の濃度が $5 \times 10^{14} \text{ cm}^{-2}$ よりも低いと、コバルト原子

とシリコン原子とが一気に反応して、第1のエピタキシャルシリサイド層111Aが凝集したり又は多結晶化したりする恐れがあり、また、酸素原子109の濃度が $3 \times 10^{16} \text{ cm}^{-2}$ よりも高いと、コバルト原子と半導体基板100の結晶格子との距離が大きくなるため、コバルト原子とシリコン原子との反応が良好に行

尚、第1のエピタキシャルシリサイド層111Aにおいては、すべての層がコバルトダイシリサイド(CoSi_2)からなっているもよいし、下層(シリコン層との界面側)がコバルトダイシリサイド(CoSi_2)であると共に上層(コバルト膜110側)がコバルトシリサイド(CoSi)であってもよい。第2の実施形態の第1のエピタキシャルシリサイド層111Aにおいては、下層がコバルトダイシリサイドであり且つ上層がコバルトシリサイドである。少なくともシリコン層との界面にコバルトダイシリサイド層が形成されていると、コバルトシリサイド層の凝集が起こらないので、リーク電流の低減を図ることができる。

【0049】

次に、図4(a)に示すように、第1回目の熱処理で反応しなかったコバルト膜110を、例えばアンモニア液と過酸化水素水との混合液又は塩酸系混酸液からなるエッチャントを用いて除去した後、半導体基板100を800℃の温度下で10秒間保持する第2回目の熱処理(RTA)を行なう。このようにすると、第1のエピタキシャルシリサイド層111Aの上層のコバルトシリサイドも成長してコバルトダイシリサイドになるので、第1のエピタキシャルシリサイド層111Aは、すべての層がコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層111Bに変化する。

【0050】

尚、第1のエピタキシャルシリサイド層111Aのすべての層がコバルトダイシリサイド(CoSi_2)からなる場合には、第2回目の熱処理を省略することができる。この場合には、以下の説明における第2のエピタキシャルシリサイド層111Bを第1のエピタキシャルシリサイド層111Aと読み替える。

【0051】

次に、図4 (b) に示すように、例えばTEOS (テトラエトキシシラン) を用いるCVD法により、半導体基板100の上に全面に亘ってシリコン酸化膜からなる層間絶縁膜112を堆積した後、周知のフォトリソグラフィ技術及びエッチング技術を用いて層間絶縁膜112にコンタクトホール113を形成する。

次に、例えばスパッタ法により半導体基板100の上に全面に亘って例えばアルミニウム合金膜をコンタクトホール113に埋め込まれるように堆積した後、周知のフォトリソグラフィ技術及びエッチング技術を用いてアルミニウム合金膜をパターニングすることにより金属配線114を形成する。次に、例えばプラズマCVD法を用いて金属配線114の上に、例えばシリコン酸化膜とシリコン窒化膜との積層体からなる保護絶縁膜115を堆積すると、第1の実施形態に係る半導体装置が得られる。

【0053】

尚、金属配線114としては、アルミニウム合金膜に代えて、アルミニウム合金膜と窒化チタン膜又はタングステン膜等との積層膜を用いてもよい。

【0054】

第2の実施形態によると、n型の高濃度不純物層108及びゲート電極105の表面部にはコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層111Bが形成されているため、n型の高濃度不純物層108及びゲート電極105のシート抵抗を $5\Omega/\square$ 程度に低減できるので、第2のエピタキシャルシリサイド層111Bが形成されていない場合のシート抵抗 ($100\Omega/\square$) に比べて大きく低減できると共に、コンタクト抵抗も低減できるので、MOSFETを有する半導体集積回路装置の性能を向上させることができる。

【0055】

また、第2の実施形態によると、n型の高濃度不純物層108の表面近傍の領域及びゲート電極105の表面近傍の領域に非金属元素例えば酸素原子109を分布させておいてから金属膜例えばコバルト膜110を堆積し、その後、第1回目及び第2回目の熱処理を行なって、n型の高濃度不純物層108の表面部及びゲート電極105の表面部にコバルトダイシリサイドからなる第2のエピタキシ

サルシリサイド層 111B を形成するため、コバルト原子とシリコン原子とが一気に反応する事態を回避できるので、第 2 のエピタキシャルシリサイド層 111B が凝集したり多結晶化したりする事態を回避できると共に第 2 のエピタキシャルシリサイド層 111B にスパイク欠陥が形成される事態を回避することができ、このため、エピタキシャルシリサイド層の凝集又は多結晶化に起因する断線を防ぐことができると共に、スパイク欠陥に起因する接合シークを防止することができる。

【0056】

さらに、第 2 の実施形態によると、n 型の高濃度不純物層 108 の表面近傍の領域及びゲート電極 105 の表面近傍の領域に酸素原子 109 を分布させた状態で、つまり n 型の高濃度不純物層 108 及びゲート電極 105 とコバルト膜 110 との間に低濃度の酸素原子 109 が介在した状態で第 1 回目の熱処理を行なうため、該第 1 回目の熱処理を低温例えば 500℃ の温度下で行なうことができる。

【0057】

尚、第 2 の実施形態においては、n 型の高濃度不純物層 108 の表面部及びゲート電極 105 の表面部の両方にコバルトダイシリサイドからなる第 2 のエピタキシャルシリサイド層 111B を形成したが、これに代えて、n 型の高濃度不純物層 108 の表面部及びゲート電極 105 の表面部のうちの一方にのみ第 2 のエピタキシャルシリサイド層 111B を形成してもよい。

【0058】

また、第 2 の実施形態においては、n 型の高濃度不純物層 108 の表面近傍の領域及びゲート電極 105 の表面近傍の領域に非金属元素として酸素原子 109 を分布させたが、酸素原子 109 に代えて、窒素原子又はフッ素原子等を分布させてもよい。

【0059】

また、第 2 の実施形態においては、金属膜としてコバルト膜 110 を堆積して、コバルトダイシリサイドからなる第 2 のエピタキシャルシリサイド層 111B を形成したが、コバルト膜 110 に代えて、ニッケル又は鉄等の他の遷移金属が

らなる金属膜を堆積して、該金属膜を構成する遷移金属とシリコンとからなるエピタキシャルシリサイド層を形成してもよい。

【0060】

(第3の実施形態)

造方法について、図5(a)～(c)、図6(a)～(c)及び図7(a)、(b)を参照しながら説明する。

【0061】

まず、第2の実施形態と同様にして、図5(a)に示すように、n型のシリコン結晶からなる半導体基板200にボロン等のp型不純物をイオン注入してp型ウェル領域202を形成した後、LOCOS法により半導体基板200の表面部に例えば400nmの厚さを有するフィールド絶縁膜203を形成する。次に、半導体基板200の表面に全面に亘って例えば5～10nmの膜厚を有するシリコン酸化膜からなるゲート絶縁膜204を形成した後、例えばCVD法によりゲート絶縁膜204の上に多結晶シリコン膜を堆積した後、該多結晶シリコン膜をパターニングしてゲート電極205を形成する。

【0062】

次に、半導体基板200にゲート電極205をマスクとしてヒ素又はリン等のn型不純物を低濃度にイオン注入して、図5(b)に示すように、n型の低濃度不純物層206を形成する。

【0063】

次に、半導体基板200の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して異方性エッチングを行なって、図5(c)に示すように、ゲート電極205の側面にサイドウォール207を形成した後、半導体基板200にゲート電極205及びサイドウォール207をマスクとしてヒ素又はリン等のn型不純物を高濃度にイオン注入して、n型の高濃度不純物層208を形成した後、半導体基板200に対して熱処理を施して、n型の低濃度不純物層206及び高濃度不純物層208を活性化する。

【0064】

次に、図6(a)に示すように、半導体基板200上に全面に亘って、半導体元素と非金属膜からなる化合物層例えばシリコン酸化膜209を形成する。

【0065】

シリコン酸化膜209の形成方法としては、半導体基板200の表面に酸化力を有する溶液（例えば、アンモニア、過酸化水素水及び純水からなる混合溶液）を供給して、シリコン酸化膜209を形成する第1の方法、半導体基板200の表面を酸素プラズマに曝して10nm程度の厚さを有するシリコン酸化膜を形成する第2の方法、又は、半導体基板200を酸化性雰囲気中で750～900℃に加熱して10nm程度の厚さを有する熱酸化膜を形成する第3の方法等が挙げられる。

【0066】

次に、図6(b)に示すように、シリコン酸化膜209に対して非金属元素からなる粒子エネルギー線、例えばArイオンを低エネルギーで照射する。このようにすると、粒子エネルギー線の反跳(Recoil)により、シリコン酸化膜209を構成する酸素原子210は、図6(c)に示すように、n型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に基板面方向に分布する。尚、粒子エネルギー線の照射により、シリコン酸化膜209を構成する酸素原子がスパッタされても差し支えない。

【0067】

また、酸素原子210を分布させる深さとしては、n型の高濃度不純物層208又はゲート電極205の表面から0.5～5nmの範囲が好ましく、酸素原子210の濃度としては、 $5 \times 10^{14} \text{ cm}^{-2} \sim 3 \times 10^{16} \text{ cm}^{-2}$ の範囲が好ましい。これらの理由については第2の実施形態と同様である。

【0068】

尚、粒子エネルギー線の照射としてArイオンの照射を行なう場合、Arイオンの加速エネルギーが100eVであれば、酸素原子210の分布のピークはシリコン領域の表面から1nmの深さになり、Arイオンの加速エネルギーが300eVであれば、酸素原子210の分布のピークはシリコン領域の表面から2nmの深さになる。

【0069】

次に、図7(a)に示すように、シリコン酸化膜209を除去した後、半導体基板200の上に全面に亘って金属膜例えばコバルト膜211を堆積する。このようにすると、第2の実施形態と同様、コバルト膜211を構成するコバルト原子とシリコン原子との界面にコバルトダイシリサイド(CoSi_2)の核が形成されると共に、ゲート電極205の個々の結晶粒に対してもコバルトダイシリサイド(CoSi_2)の核が形成される。

【0070】

次に、半導体基板200を500℃の温度下で10秒間保持する第1回目の熱処理(RTA)を行なって、n型の高濃度不純物層208及びゲート電極205の表面部に、第1のエピタキシャルシリサイド層212Aを形成する。

【0071】

第3の実施形態においては、n型の高濃度不純物層208及びゲート電極205の表面近傍の領域には酸素原子210が表面から0.5~5nmの深さに分布しているため、コバルト原子とシリコン原子とは一気に反応しないので、第1のエピタキシャルシリサイド層212Aが凝集したり又は多結晶化したりする事態を防止できる。

【0072】

尚、第1のエピタキシャルシリサイド層212Aにおいては、すべての層がコバルトダイシリサイド(CoSi_2)からなってもよいし、下層(シリコン層との界面側)がコバルトダイシリサイド(CoSi_2)であると共に上層(コバルト膜110側)がコバルトシリサイド(CoSi)であってもよい。このようにすると、コバルトシリサイド層の凝集が起こらないので、リーク電流の低減を図ることができる。

【0073】

次に、図7(b)に示すように、第1回目の熱処理で反応しなかったコバルト膜211を、例えばアンモニア液と過酸化水素水との混合液又は塩酸系混酸液からなるエッチャントを用いて除去した後、半導体基板200を800℃の温度下

で 1 0 秒間保持する第 2 回目の熱処理 (R T A) を行なって、第 1 のエピタキシャルシリサイド層 2 1 2 A を、すべての層がコバルトダイシリサイドからなる第 2 のエピタキシャルシリサイド層 2 1 2 B に変化させる。

【 0 0 7 4 】

尚、第 1 のエピタキシャルシリサイド層 2 1 2 A のすべての層がコバルトダイシリサイドからなる場合には、第 2 回目の熱処理を省略することもできる。この場合には、以下の説明における第 2 のエピタキシャルシリサイド層 2 1 2 B を第 1 のエピタキシャルシリサイド層 2 1 2 A と読み替える。

【 0 0 7 5 】

次に、図示は省略しているが、第 2 の実施形態と同様にして、層間絶縁膜、コンタクトホール、金属配線及び保護絶縁膜を形成すると、第 1 の実施形態に係る半導体装置が得られる。

【 0 0 7 6 】

第 3 の実施形態によると、n 型の高濃度不純物層 2 0 8 及びゲート電極 2 0 5 の表面部にはコバルトダイシリサイドからなる第 2 のエピタキシャルシリサイド層 2 1 2 B が形成されているため、n 型の高濃度不純物層 2 0 8 及びゲート電極 2 0 5 のシート抵抗を $5 \Omega / \square$ 程度に低減できると共にコンタクト抵抗も低減できるので、M O S F E T を有する半導体集積回路装置の性能を向上させることができる。

【 0 0 7 7 】

また、第 3 の実施形態によると、半導体基板 2 0 0 の上にシリコン酸化膜 2 0 9 を堆積しておいてから粒子エネルギー線を照射するため、シリコン酸化膜 2 0 9 を構成する酸素原子 2 1 0 を n 型の高濃度不純物層 2 0 8 の表面近傍の領域及びゲート電極 2 0 5 の表面近傍の領域に確実に分布させることができる。

【 0 0 7 8 】

また、n 型の高濃度不純物層 2 0 8 の表面近傍の領域及びゲート電極 2 0 5 の表面近傍の領域に非金属元素例えば酸素原子 2 1 0 を分布させておいてから金属膜例えばコバルト膜 2 1 1 を堆積し、その後、第 1 回目及び第 2 回目の熱処理を行なって、n 型の高濃度不純物層 2 0 8 の表面部及びゲート電極 2 0 5 の表面部

にコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層212B形成するため、コバルト原子とシリコン原子とが一気に反応する事態を回避できるので、第2のエピタキシャルシリサイド層212Bが凝集したり多結晶化したりする事態を回避できると共に第2のエピタキシャルシリサイド層212Bにス

ルシリサイド層の凝集又は多結晶化に起因する断線を防止できると共に、スパイク欠陥に起因する接合リークを防止することができる。

【0079】

さらに、第3の実施形態によると、n型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に酸素原子210を分布させた状態で第1回目の熱処理を行なうため、該第1回目の熱処理を低温例えば500℃の温度下で行なうことができる。

【0080】

尚、第3の実施形態においては、n型の高濃度不純物層208の表面部及びゲート電極205の表面部の両方にコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層212Bを形成したが、これに代えて、n型の高濃度不純物層208の表面部及びゲート電極205の表面部のうちの一方にのみ第2のエピタキシャルシリサイド層212Bを形成してもよい。

【0081】

また、第3の実施形態においては、半導体基板200の上にシリコン酸化膜209を形成したが、これに代えて、シリコン窒化膜又はシリコン弗化膜を堆積して、窒素原子又はフッ素原子を、n型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に分布させてもよい。

【0082】

また、第3の実施形態においては、金属膜としてコバルト膜211を堆積して、コバルトダイシリサイドからなる第2のエピタキシャルシリサイド層212Bを形成したが、コバルト膜211に代えて、ニッケル又は鉄等の他の遷移金属からなる金属膜を堆積して、該金属膜を構成する遷移金属とシリコンとからなるエピタキシャルシリサイド層を形成してもよい。

【0083】

(第3の実施形態の変形例)

第3の実施形態においては、シリコン酸化膜209に対して非金属元素からなる粒子エネルギー線例えばArイオンを照射して、酸素原子210をn型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に分布させた後、シリコン酸化膜209を除去した。第3の実施形態の変形例においては、粒子エネルギー線に用いる粒子例えばArイオンの質量及びエネルギー量を制御して、酸素原子210をn型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に分布させる際に、粒子エネルギー線の照射によってシリコン酸化膜209を除去する。このようにすると、シリコン酸化膜209を除去する工程を省略することができる。

【0084】

【発明の効果】

本発明の半導体装置の製造方法によると、半導体層における表面近傍の領域に非金属元素を分布させた状態で熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させるため、金属膜を構成する金属と半導体層を構成する元素とが一気に反応する事態を回避できるので、エピタキシャル半導体金属間化合物層の多結晶化を防止することができる。

【0085】

従って、本発明によると、凝集及びスパイク欠陥のないエピタキシャル半導体金属間化合物層を、半導体の量産プロセスにおいて通常用いられている真空度領域で且つ低温において安定して形成することができる。

【図面の簡単な説明】

【図1】

(a)は第1の実施形態に係る半導体装置の平面構造を示す図であり、(b)は(a)におけるIb-Ib線の断面図である。

【図2】

(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 3】

(a) ~ (c) は第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 4】

す断面図である。

【図 5】

(a) ~ (c) は第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 6】

(a) ~ (c) は第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 7】

(a) 及び (b) は第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

- 1 0 半導体基板
- 1 1 チャネルストッパー
- 1 2 p型ウェル領域
- 1 4 ゲート絶縁膜
- 1 5 ゲート電極
- 1 6 n型の低濃度不純物拡散層
- 1 7 サイドウォール
- 1 8 n型の高濃度不純物拡散層
- 2 2 層間絶縁膜
- 2 3 コンタクトホール
- 2 4 金属配線
- 2 5 保護絶縁膜
- 1 0 0 半導体基板

- 101 チャンネルストッパー
- 102 p型ウェル領域
- 103 フィールド絶縁膜
- 104 ゲート絶縁膜
- 105 p型ウェル領域
- 106 n型の低濃度不純物層
- 107 サイドウォール
- 108 n型の高濃度不純物層
- 109 酸素原子
- 110 コバルト膜
- 111A 第1のエピタキシャルシリサイド層
- 111B 第2のエピタキシャルシリサイド層
- 112 層間絶縁膜
- 113 コンタクトホール
- 114 金属配線
- 115 保護絶縁膜
- 200 半導体基板
- 201 チャンネルストッパー
- 202 p型ウェル領域
- 203 フィールド絶縁膜
- 204 ゲート絶縁膜
- 205 ゲート電極
- 206 n型の低濃度不純物層
- 207 サイドウォール
- 208 n型の高濃度不純物層
- 209 シリコン酸化膜
- 210 酸素原子
- 211 コバルト膜
- 212A 第1のエピタキシャルシリサイド層

2 1 2 B 第 2 のエピタキシャルシリサイド層

2 1 3 層間絶縁膜

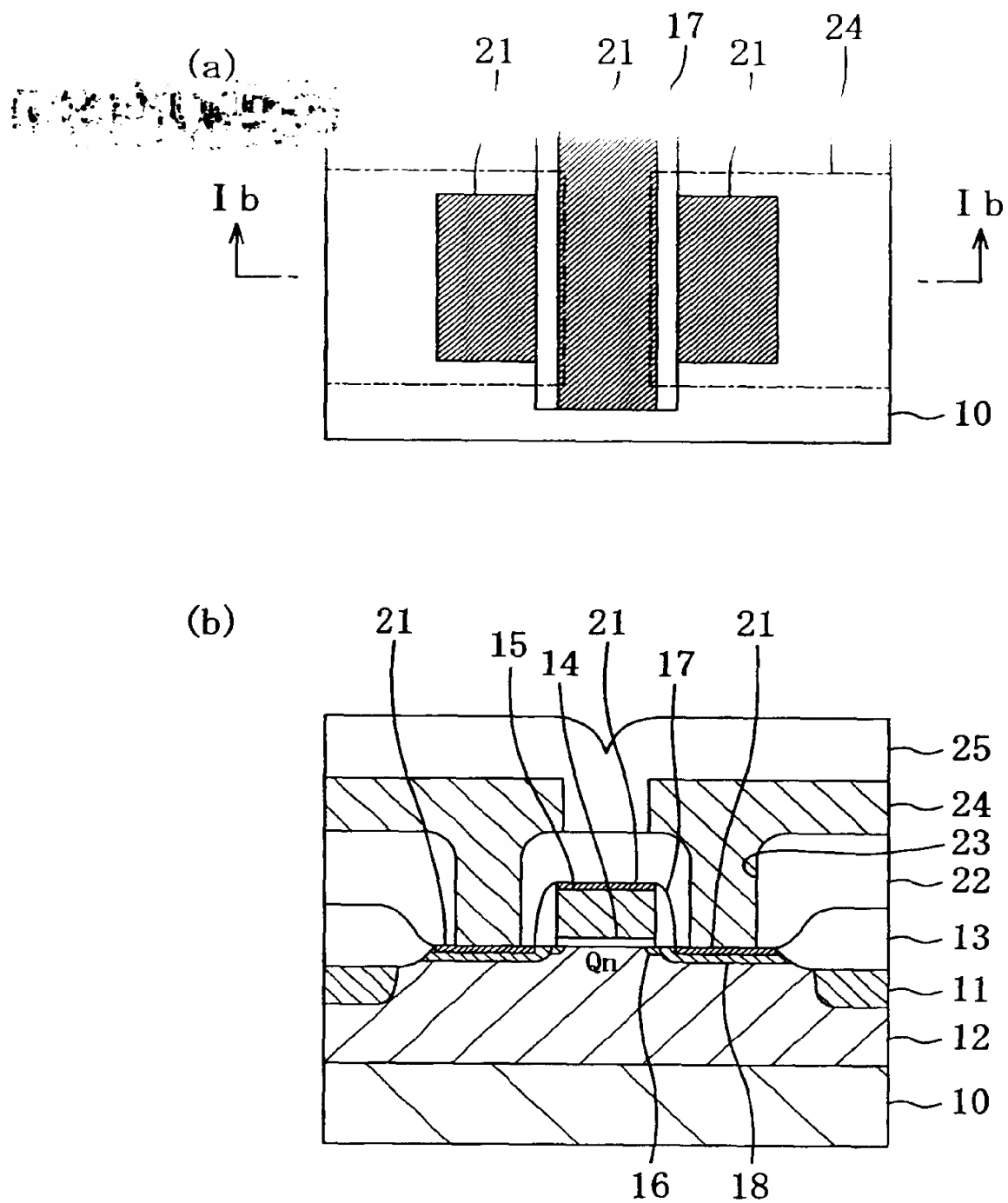
2 1 4 コンタクトホール

2 1 5 金属配線

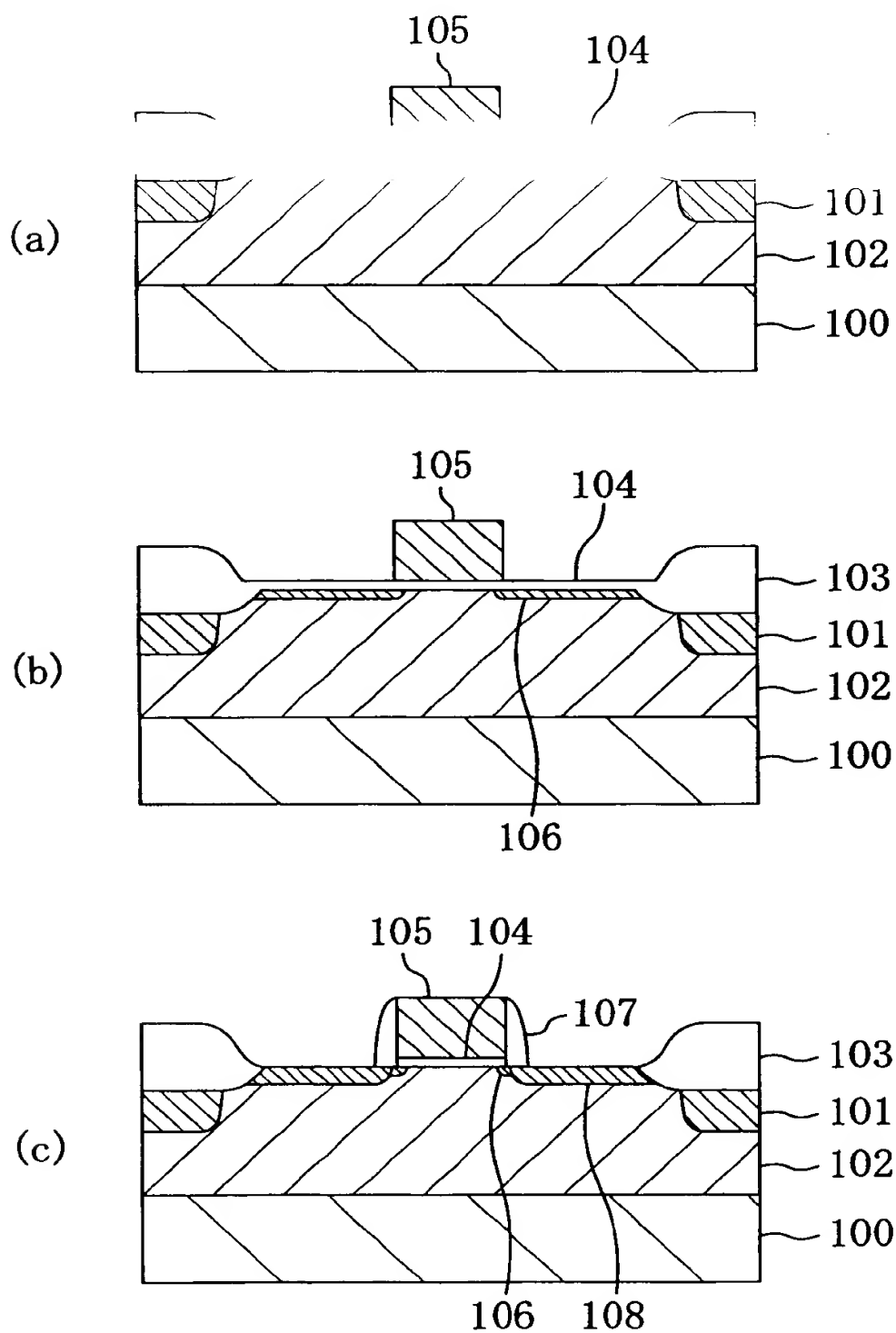
【書類名】

図面

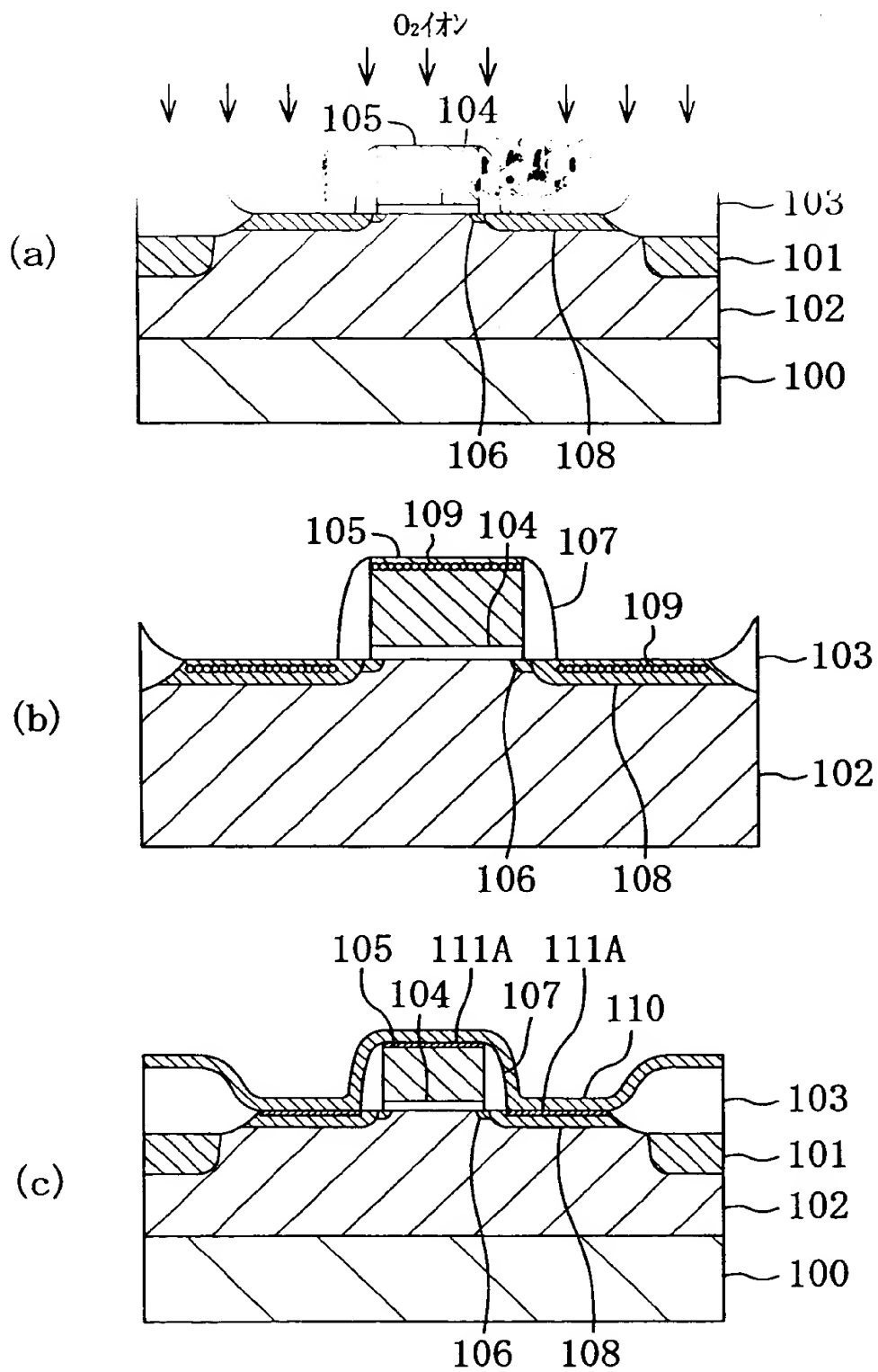
【図 1】



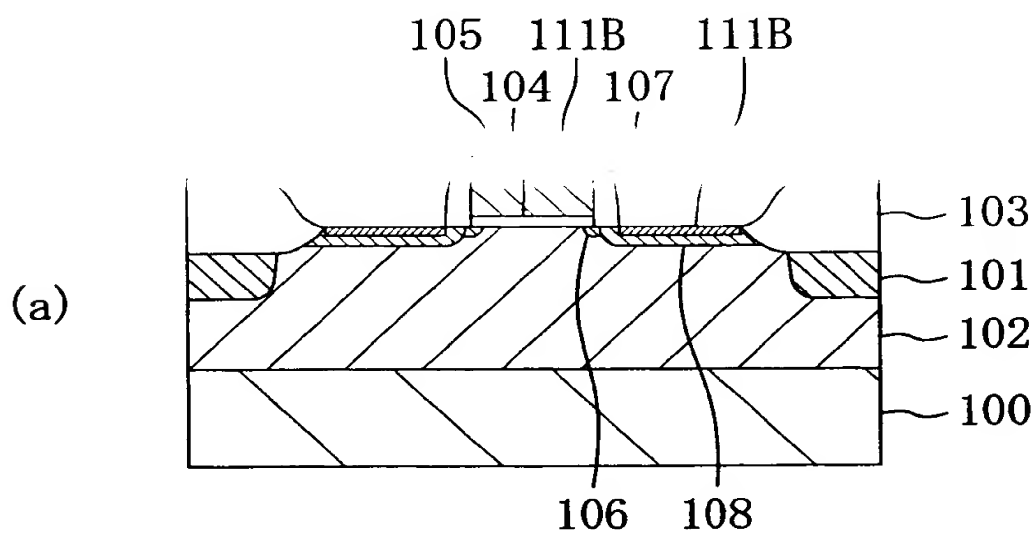
【図 2】



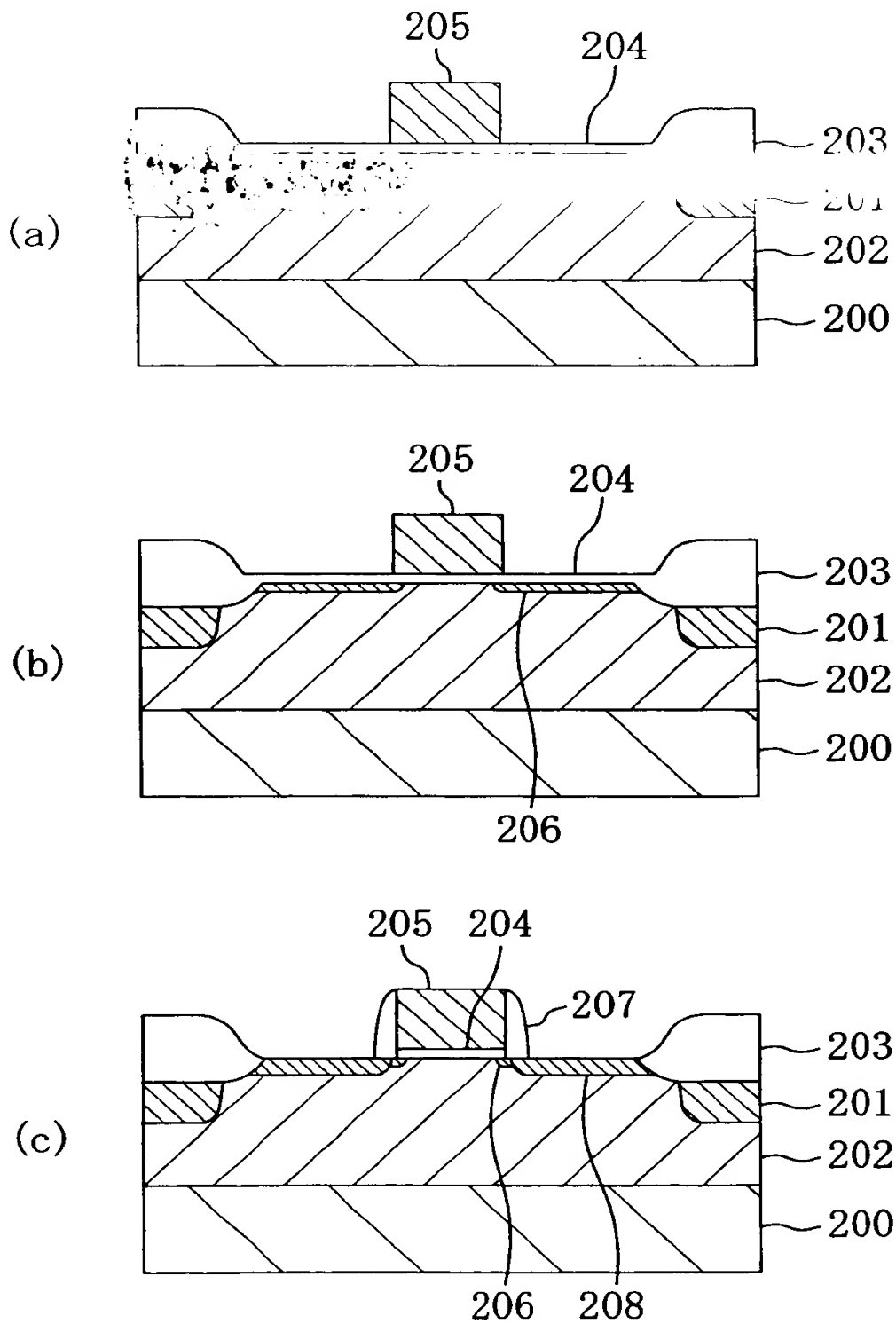
【図 3】



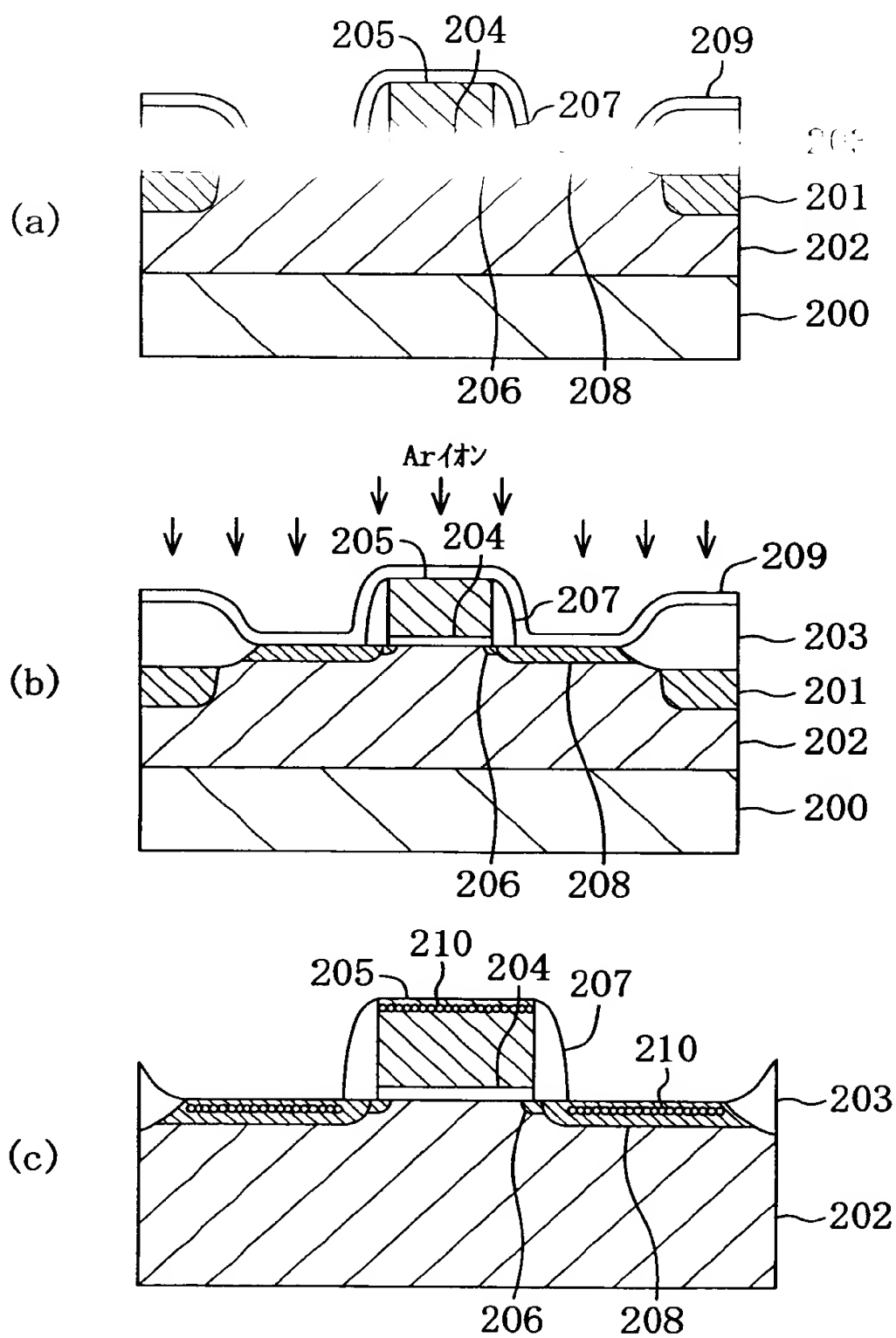
【図 4】



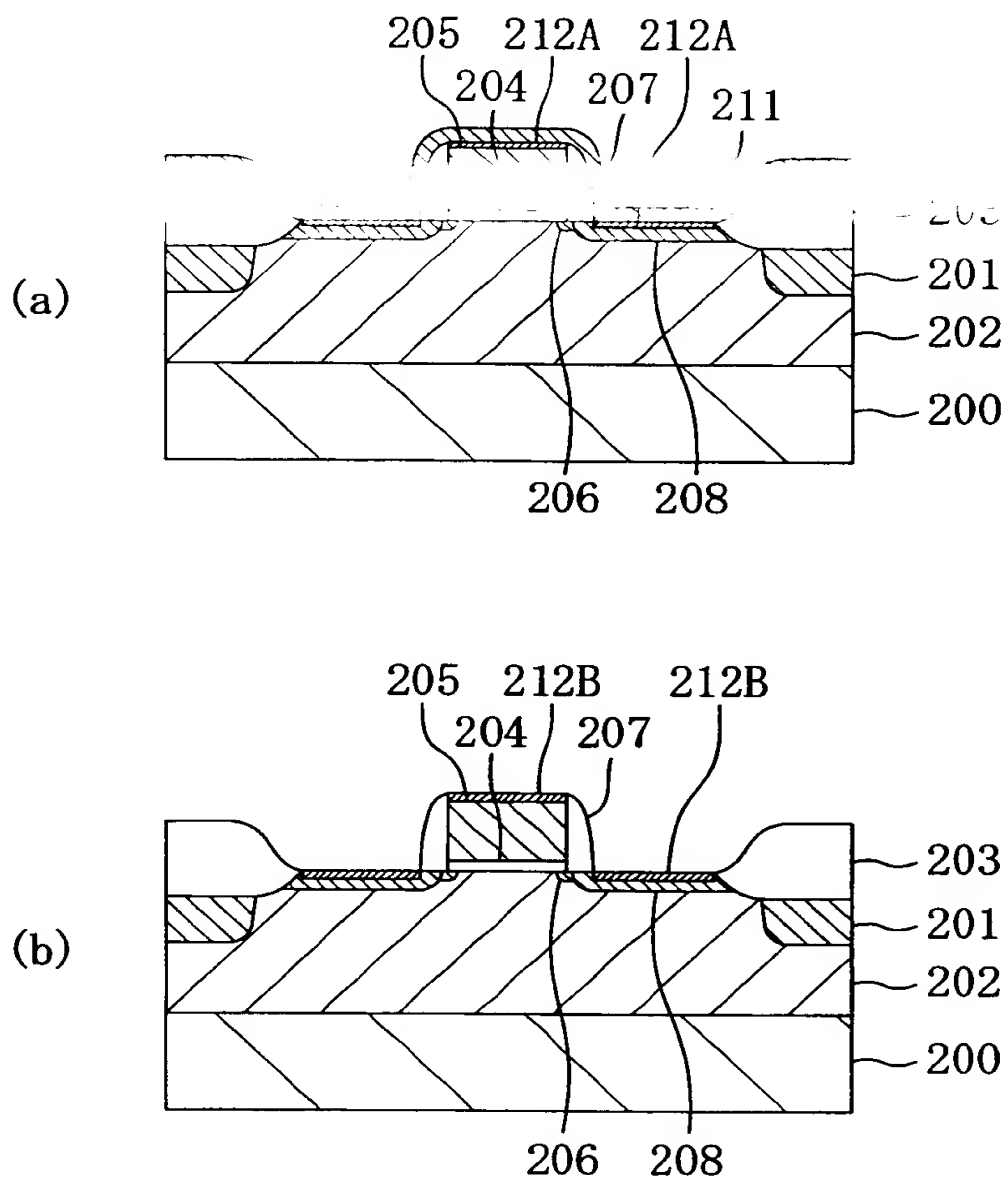
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 凝集及びスパイク欠陥のないエピタキシャルコバルトシリサイド層を、半導体の量産プロセスにおいて通常用いられている真空度領域において安定

【解決手段】 n型の半導体基板100に、p型ウェル領域102、n型の低濃度不純物層106及びn型の高濃度不純物層108を形成すると共に、半導体基板100の上にゲート絶縁膜104を介してゲート電極105を形成する。半導体基板100に、酸素イオンを低い加速エネルギーでイオン注入して、高濃度不純物層108の表面近傍の領域及びゲート電極105の表面近傍の領域に酸素原子109を分布させる。半導体基板100の上にコバルト膜110を堆積した後、500℃で10秒間保持する第1回目の熱処理を行なって、高濃度不純物層108及びゲート電極105の表面部に第1のエピタキシャルシリサイド層111Aを形成する。

【選択図】 図3

出 願 人 履 歴 情 報

1. 変更年月日 1993年 9月 1日
[変更理由] 住所変更
住 所 大阪府高槻市幸町1番1号
氏 名 松下電子工業株式会社